

Family list

1 family member for:

JP4326849

Derived from 1 application.

1 IMAGE SENSOR

Publication info: JP4326849 A - 1992-11-16

Data supplied from the *esp@cenet* database - Worldwide

Best Available Copy

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03961749 **Image available**

IMAGE SENSOR

PUB. NO.: **04-326849** [JP 4326849 A]

PUBLISHED: November 16, 1992 (19921116)

INVENTOR(s): KADOMA AKIRA

YAMAGUCHI KAZUFUMI

YAMAMOTO YASUNAGA

OKAMOTO TATSUSHIZU

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 03-097510 [JP 9197510]

FILED: April 26, 1991 (19910426)

INTL CLASS: [5] H04N-001/028; H04N-005/335

JAPIO CLASS: 44.7 (COMMUNICATION -- Facsimile); 44.6 (COMMUNICATION --
Television)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 1344, Vol. 17, No. 169, Pg. 156,
March 31, 1993 (19930331)

ABSTRACT

PURPOSE: To read original information at high speed with high sensitivity.

CONSTITUTION: This image sensor is composed of a source follower part composed of a photodiode 1, first step FET 2 to receive the anode terminal potential of the photodiode at a gate electrode and FET 3 for constant current source, amplification part composed of an FET 4 for amplification to receive the source terminal potential of the above-mentioned first step FET at a gate electrode and FET 5 for access, picture element having a reset part composed of an FET 6 for reset to reset the inter-terminal voltage of the above-mentioned photodiode 1 to a fixed potential, and shift register 100 for scanning to successively drive the FET 5 for access and the FET 6 for reset as mentioned above. Thus, since the sensitivity of the

gate potential at the first step FET 2 can be improved and the source terminal potential of the first step FET lowering the impedance at the amplification part in the next step is received at the gate electrode of the FET 4 for amplification, the W (channel width)/ L (channel length) ratio of the FET 4 for amplification can be enlarged. As the result, a high output can be obtained.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326849

(43) 公開日 平成4年(1992)11月16日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/028	A 9070-5C		
	5/335	E 8838-5C		

審査請求 未請求 請求項の数2(全6頁)

(21) 出願番号 特願平3-97510
 (22) 出願日 平成3年(1991)4月26日

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72) 発明者 門間 明
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 山口 和文
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 山本 泰永
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (74) 代理人 弁理士 松田 正道

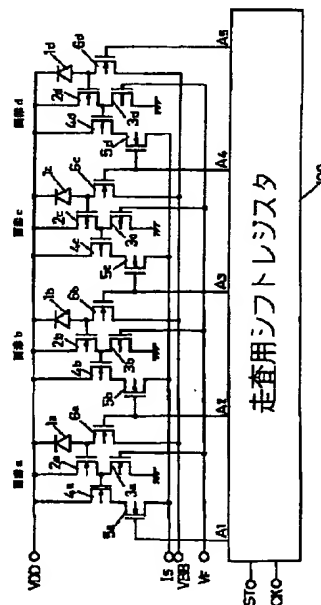
最終頁に続く

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【目的】 本発明は原稿情報を高速、高感度で読み取ること
 を可能にしたイメージセンサに関する。

【構成】 本発明のイメージセンサは、フォトダイオード
 1、フォトダイオードのアノード端子電位をゲート電極
 に受ける初段FET2と定電流源用FET3とからなる
 ソース・フォロワ部、前記初段FETのソース端子電位
 をゲート電極に受ける増幅用FET4とアクセス用FE
 T5とからなる増幅部、前記フォトダイオード1の端子
 間電圧を一定電位にリセットするためのリセット用FE
 T6からなるリセット部を有する画素と、前記アクセス
 用FET5、リセット用FET6を順次駆動させるため
 の走査用シフトレジスタ100とから構成する。これら
 の構成によると、初段FET2のゲート電位の感度アッ
 プが実現でき、次段の増幅部において低インピーダ
 ンス化した初段FETのソース端子電位を増幅用FET4の
 ゲート電極に受けるために、増幅用FET4のW(チャ
 ネル幅)/L(チャネル長)比を大きくとることが可能
 となる。その結果、高出力が得られる。



1

【特許請求の範囲】

【請求項1】 フォトダイオード、フォトダイオードの一方の端子をゲート電極に受ける初段の電界効果トランジスタ（以下FET）及びこの初段FETのソース端子を自身のドレイン端子に受ける定電流源用FETとを有するソース・フォロワ部と、前記初段FETのソース端子をゲート電極に受ける増幅用FET及び前記増幅用FETのソース端子を自身のドレイン端子に受けるアクセス用FETとを有する増幅部と、前記フォトダイオードの端子間電圧を一定電位にリセットするためのリセット用FETを有するリセット部とを有する素子と、前記アクセス用FET、リセット用FETを順次駆動させるための走査用シフトレジスタと、を備えたことを特徴とするイメージセンサ。

【請求項2】 初段FETのゲート容量の方は極力小さくすると共に、増幅用FETのゲートは W （チャネル幅）/ L （チャネル長）比の方は大きくしたことを特徴とする請求項1のイメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は原稿情報を高速、高感度で読み取ることを可能にしたイメージセンサに関するものである。

【0002】

【従来の技術】 情報処理機器の進展に伴って、その入力装置としてイメージセンサのニーズが高まっている。たとえば、フォトダイオードは半導体 $p-n$ 接合部への光照射によって発生した電子・正孔対が、接合部に存在する内部電界によって電子は n 型層へ、正孔は p 型層へと移動することによって生じた信号電荷を蓄積することができる。そこで、フォトダイオード・アレイを用いて電荷蓄積モードでその信号電荷を読み出すイメージセンサとして、MOS、増幅型MOS、CCDの各イメージセンサが開発・実用化されている。

【0003】 まずCCDイメージセンサから述べると、CCDイメージセンサはフォトダイオード、転送ゲート、転送用CCDシフトレジスタ、出力アンプ等から構成される。フォトダイオードに蓄積された信号電荷は、転送ゲートにより転送用CCDシフトレジスタのポテンシャル井戸に移され、さらにクロック・パルスに伴ってこのポテンシャル井戸が移動することにより出力アンプへと転送される。出力アンプにおいて信号電荷を電圧に変換し、増幅してこれを画像信号として取り出している。

【0004】 このCCDイメージセンサは高感度であるが、転送用CCDシフトレジスタのゲート容量及びライン容量の大ききから推測できるようにその駆動容量が相当大きくなり、特にマルチ・チップ型のイメージセンサでは駆動回路のドライブ能力を大きくする必要があり、したがって高速走査するほど消費電力の点で困難を伴

2

う。

【0005】 これに対して、MOS及び増幅型MOSイメージセンサはともに駆動回路が簡単に形成でき、そのため駆動容量が小さく高速走査が容易である。MOSイメージセンサは、構成が簡単でありフォトダイオードの信号電荷をアクセス用MOSFETを通して順次そのまま画像信号として取り出す方式であるが、より高感度を図るために、図4に示すような画素構成からなる増幅型MOSイメージセンサが実現されている。このセンサは画素毎に増幅機能を持ち、図4に示すようにフォトダイオード7（7a～7d）の光電流による放電後の残留電圧であるアノード電位を増幅用MOSFET8（8a～8d）のゲートに受け、ゲート電圧に応じて増幅用MOSFET8・アクセス用MOSFET9（9a～9d）を介して流れる出力電流を画像信号として取り出す方式である。ここで、 V_{DD} は電源電圧端子、 V_{BB} はリセット電圧端子、 I_s は画像信号出力端子である。リセットはリセット用MOSFET10（10a～10d）をONし、フォトダイオードに逆バイアス電圧（ $V_{DD}-V_{BB}$ ）を印加してフォトダイオードの接合容量を充電することによって行う。

【0006】

【発明が解決しようとする課題】 しかし、この方式はMOSイメージセンサに比べて高感度であるが、CCDイメージセンサと比べればまだ感度は低い。この理由は次の通りである。増幅型MOSイメージセンサの場合、フォトダイオードのアノード端子容量は図5に示すようにフォトダイオードの接合容量、増幅用FETのゲート端子容量、リセット用FETのドレイン端子容量の3つの容量からなり、フォトダイオードの高感度化のためには V （出力電圧） $=Q$ （信号電荷）/ C （容量）の関係式から予測できるように、これらフォトダイオードのアノード端子の容量値を削減することが要求される。しかし、使用プロセスのマスクルール最小寸法を用いたとしてもその容量値は設計上の面積で決まるためその低減には限界がある。高解像度化に伴ってフォトダイオードの面積が小さくなると、特にこれら3つの容量のうち増幅用FETのゲート容量が全体のフォトダイオードのアノード端子容量に占める割合が大きくなる。

【0007】 以上述べたように、従来のイメージセンサのうちMOS及び増幅型MOSイメージセンサでは高速走査は容易であるが、これらの方式ではその物理的限界により感度アップが困難であるという課題がある。つまり、増幅型MOSイメージセンサの場合、その感度がフォトダイオードのアノード端子の容量及び増幅用FETの W （チャネル幅）/ L （チャネル長）比の値によって決まる。ドレイン電流出力を増やすためにはこの増幅用FETの W （チャネル幅）/ L （チャネル長）比を大きくすればよいのであるが、この値を大きくすると増幅用FETのゲート容量を大きくすることになるからその結

果としてフォトダイオードのアノード端子容量が大きくなり増幅用FETのゲート電位の感度が小さくなるから感度アップが困難である。

【0008】本発明は、このような従来のイメージセンサの課題を考慮し、高速走査が出来かつ高感度であるイメージセンサを提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明のイメージセンサは、フォトダイオード、小ゲート容量を持つ初段FETと定電流源用FETからなるソース・フォロワ部、増幅用FETとアクセス用FETとからなる増幅部、リセット用FETからなるリセット部の各部を有する画素と、前記アクセス用FET、リセット用FETを順次駆動させるための走査用シフトレジスタとから構成される。これらの素子は集積回路技術により同一半導体基板上に形成することができる。

【0010】

【作用】本発明の上記の構成によれば、まずソース・フォロワ部において、フォトダイオードに一定時間蓄積された信号電荷によって発生するフォトダイオードのアノード端子電位をゲート容量を極力小さくした初段FETのゲート電極に受けることになる。その結果、初段FETの入力容量を小さくでき、フォトダイオードのアノード端子容量が小さくなり、任意の露光量に対するアノード端子の電位変化が大になる。すなわち、このことによってフォトダイオードの高感度化が実現できる。さらに次段の増幅用FET・アクセス用FETからなる増幅部において、増幅用FETのW（チャネル幅）/L（チャネル長）比を大きくとることによって高出力電流を取り出すことができる。つまり、この方式ではフォトダイオードのアノード端子容量の削減と増幅用FETのW（チャネル幅）/L（チャネル長）比の値の増大を両立することが可能になり、従来の増幅型MOSイメージセンサの場合よりも飛躍的に感度アップが可能となる。

【0011】

【実施例】以下、本発明によるイメージセンサの一実施例を図面を用いて説明する。

【0012】図1は、本発明のイメージセンサの4画素分（画素a～d）の等価回路図であり、フォトダイオード1（1a～1d）、初段nチャネルMOSFET2（2a～2d）と定電流源用nチャネルMOSFET3（3a～3d）とからなるソース・フォロワ部、前記初段nチャネルMOSFET2（2a～2d）のソース端子電位をゲート電極に受ける増幅用nチャネルMOSFET4（4a～4d）とアクセス用nチャネルMOSFET5（5a～5d）とからなる増幅部、前記フォトダイオード1（1a～1d）の端子間電圧を一定電位（VDD-VBB）にリセットするためのリセット用nチャネルMOSFET6（6a～6d）からなるリセット部を有する画素と、前記アクセス用nチャネルMOSFET5

（5a～5d）、リセット用nチャネルMOSFET6（6a～6d）を順次駆動させるための走査用シフトレジスタ100からなっている。

【0013】ここで、VDDは電源電圧（例えば5V～6V）端子、VBBはリセット電圧（例えば2.5V～3V）端子、Isは画像信号出力端子、Vrは定電流源用nチャネルMOSFETのゲート電極に印加する一定電圧（例えば2.5V）、A1～Asは走査用シフトレジスタ100の走査パルスの出力端子である。走査パルス出力端子A1～Asは各画素のアクセス用nチャネルMOSFET5（5a～5d）のゲートとその前段の画素のリセット用nチャネルMOSFET6（6a～6d）のゲートに共通接続されており、走査パルスはその画素に対するアクセス動作と前段の画素に対するリセット動作を同時に行なう。なお図1は説明を簡略化するために4画素のみの場合を示したが、さらに多画素に拡張することは容易である。図2は本発明のイメージセンサの動作を示すタイミング図である。図1と図2を用いて本発明のイメージセンサの動作を説明すると、走査用シフトレジスタ100からの走査パルスによってまずA1がHIGHレベルになると、画素aのアクセス用nチャネルMOSFET5aがONし、フォトダイオード1aに蓄積されていた信号電荷による画像信号出力電流が画像信号出力端子Isから取り出される。MOSFETの特性上、出力電流はステップ電流である。次のタイミングでA1がLOWレベル、A2がHIGHレベルになり、画素aのリセット用nチャネルMOSFET6aと画素bのアクセス用nチャネルMOSFET5bがONし、信号読み出しを終えた画素aのリセット動作と画素bのアクセス動作が同時に行われ、画素aのフォトダイオード1aの端子間電圧は逆バイアス電圧（VDD-VBB）に充電・リセットされ端子Isから画素bの画像信号出力電流が取り出される。以下同様に画素b、c、dのアクセス・リセット動作が行われる。

【0014】図3に本発明のイメージセンサの画素のデバイス構造図を示す。この図からわかるようにフォトダイオード1のアノード端子は初段nチャネルMOSFET2のゲート電極とリセット用nチャネルMOSFET6のドレイン端子に接続されている。したがって、フォトダイオード1のアノード端子に付随する全容量はフォトダイオード1の接合容量、初段nチャネルMOSFET2のゲート容量、及びリセット用nチャネルMOSFET6のドレイン容量を合計したものになる。高感度化のためにはこれらの容量を低減すればよく、初段FETのゲート容量は極力小さくしている。これに対して増幅用FETのゲート電極のW（チャネル幅）/L（チャネル長）比はできるだけ大きくしている。

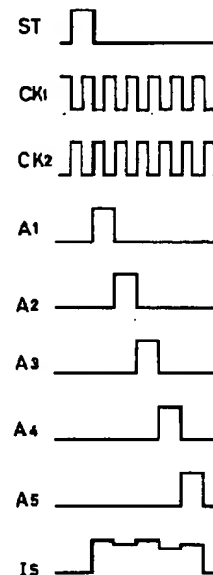
【0015】このように本発明のイメージセンサを用いれば、まずソース・フォロワ部において、フォトダイオードに一定時間蓄積された信号電荷によって発生するフ

6

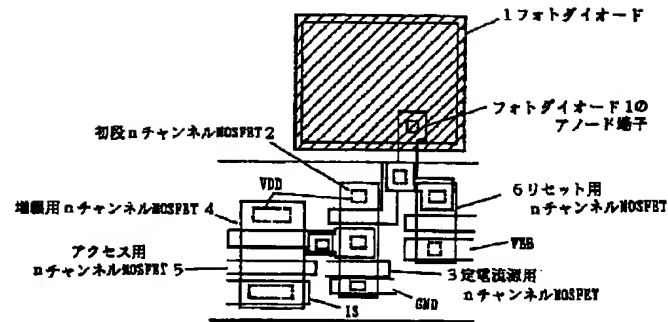
【図5】従来の増幅型MOSイメージセンサの画素のデ
バイス構造図である。

20

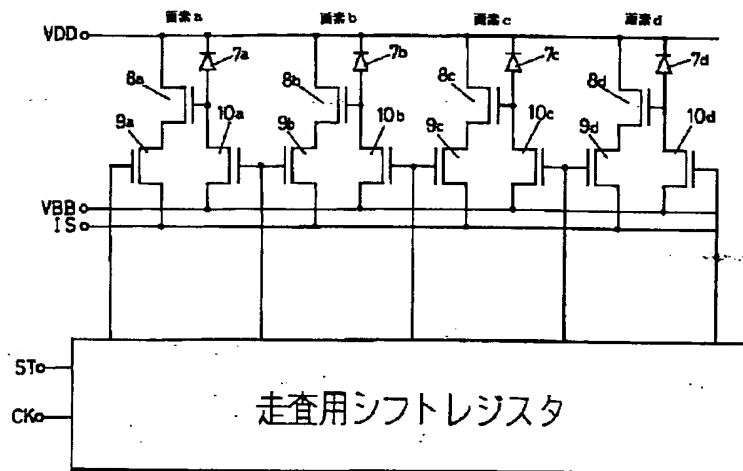
【图2】



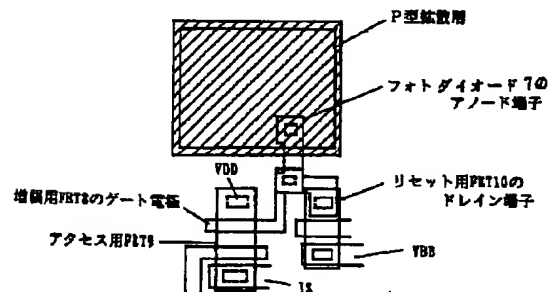
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 岡本 龍雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

BLANK PAGE

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

BLANK PAGE